

#2

THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re the Application of: **Masatsugu FUJII**

Filed : **Concurrently herewith**

For : **CODING ASSISTING EQUIPMENT, DECODING ASSISTING
EQUIPMENT, RADIO TRANSMITTER, AND RADIO RECEIVER**

Serial No. : **Concurrently herewith**

March 29, 2000

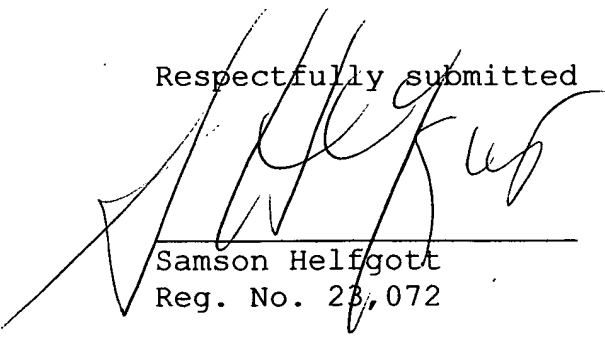
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-215290 of July 29, 1999 whose priority has been claimed
in the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJX17.182
LHH:priority

Filed Via Express Mail
Rec. No.: EL522391580US
On: March 29, 2000
By: Lydia Gonzalez
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS86 U.S. PTO
09/537786
03/29/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1999年 7月29日

願 番 号
Application Number:

平成11年特許願第215290号

願 人
Applicant(s):

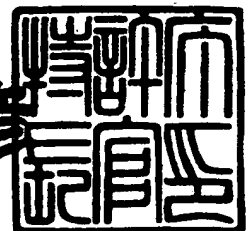
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 1月21日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3000798

【書類名】 特許願

【整理番号】 9804133

【提出日】 平成11年 7月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 13/00

【発明の名称】 符号化支援装置、復号化支援装置、無線送信機および無線受信機

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 藤井 正論

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100072718

 【弁理士】

 【氏名又は名称】 古谷 史旺

 【電話番号】 3343-2901

【選任した代理人】

 【識別番号】 100075591

 【弁理士】

 【氏名又は名称】 鈴木 榮祐

【手数料の表示】

 【予納台帳番号】 013354

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 符号化支援装置、復号化支援装置、無線送信機および無線受信機

【特許請求の範囲】

【請求項 1】 複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段と、

前記演算対象保持手段に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段に保持された語に対する演算に適用されるべき引数を保持する引数保持手段と、

前記演算対象保持手段によって保持された語と前記引数保持手段によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された符号化を前記演算として行う演算手段と

を備えたことを特徴とする符号化支援装置。

【請求項 2】 複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段と、

前記演算対象保持手段に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段に保持された語に対する演算に適用されるべき引数を保持する引数保持手段と、

前記演算対象保持手段によって保持された語と前記引数保持手段によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された復号化を前記演算として行う演算手段と

を備えたことを特徴とする復号化支援装置。

【請求項 3】 請求項 1 に記載の符号化支援装置において、
演算対象保持手段には、
語長の単位に分割された伝送情報が語として与えられ、
演算手段は、

最上位の次数が前記語長以下である生成多項式で前記伝送情報を除する

ことを特徴とする符号化支援装置。

【請求項 4】 請求項 2 に記載の復号化支援装置において、
演算対象保持手段には、
語長の単位に分割された受信系列が語として与えられ、
演算手段は、
最上位の次数が前記語長以下である生成多項式で前記受信系列を除する
ことを特徴とする復号化支援装置。

【請求項 5】 請求項 1 に記載の符号化支援装置において、
演算対象保持手段には、
語長の単位に分割された伝送情報が語として与えられ、
演算手段は、
拘束長が前記語長未満である木符号化方式に基づいて前記伝送情報を符号化する
る
ことを特徴とする符号化支援装置。

【請求項 6】 請求項 3 に記載の符号化支援装置において、
演算対象保持手段には、
整数 N の語に分割され、かつ最上位と最下位との双方あるいは何れか一方に無
効なビット列が付加されてなる伝送情報が与えられ、
演算手段は、
前記伝送情報の内、無効なビットを演算対象として無効化する
ことを特徴とする符号化支援装置。

【請求項 7】 請求項 3 に記載の符号化支援装置において、
演算対象保持手段には、
整数 N の語に分割され、かつ最上位と最下位との双方あるいは何れか一方に無
効なビット列が付加されてなる伝送情報が与えられ、
演算手段は、
前記伝送情報として与えられ、かつ前記無効なビットを含む語の内、有効なビ
ットを演算対象とする
ことを特徴とする符号化支援装置。

【請求項 8】 請求項 1、3、5～7 の何れか 1 項に記載された符号化支援装置において、

演算手段によって得られた演算の結果を語長が一定の値である語の列に変換し、かつ所定の演算を行う後続演算手段にこれらの語を順次与える語長調整手段を備えた

ことを特徴とする符号化支援装置。

【請求項 9】 請求項 2 または請求項 4 に記載の復号化支援装置において、演算手段によって得られた演算の結果を語長が一定である語の列に変換し、所定の演算を行う後続演算手段にこれらの語を順次与える語長調整手段を備えた

ことを特徴とする復号化支援装置。

【請求項 10】 複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段と、

前記演算対象保持手段に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段に保持された語に対する演算に適用されるべき引数を保持する引数保持手段と、

前記演算対象保持手段によって保持された語と前記引数保持手段によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された符号化を前記演算として行う演算手段と、

前記演算手段によって行われた演算の結果を無線伝送路に送信する無線インタフェース手段と

を備えたことを特徴とする無線送信機。

【請求項 11】 無線伝送路を介して到来した無線周波信号を復調し、その無線周波信号として与えられる伝送情報を複数ビットからなる一定の語長の語に分割して出力する無線インタフェース手段と、

前記無線インタフェース手段によって出力された語を順次保持する演算対象保持手段と、

前記演算対象保持手段に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段に保持された語に対する演算に

適用されるべき引数を保持する引数保持手段と、

前記演算対象保持手段によって保持された語と前記引数保持手段によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された復号化を前記演算として行う演算手段と

を備えたことを特徴とする無線受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所定の語長に分割された情報が与えられ、これらの情報の符号化と復号化との支援をそれぞれ行う符号化支援装置および復号化支援装置と、これらの符号化支援装置あるいは復号化支援装置が備えられた端末装置とに関する。

【0002】

【従来の技術】

近年、移動通信システムその他の無線伝送系には、無線周波数の有効利用と高い伝送速度との実現を目的として多様なデジタル変調方式が適用されている。

また、このような移動通信システムの送信端および受信端では、移動局と無線基地局との間に形成された無線伝送路の伝送特性が著しく劣化した状態における所望の伝送品質の確保を目的として、この無線伝送路に適応した符復号化、インターリーブその他の処理が行われている。

【0003】

図10は、移動局装置に搭載された符号化部の構成例を示す図である。

図において、送信バッファ121の入力には、プロセッサ（図示されない。）の第一の出力ポートが接続される。送信バッファ121の出力はシフトレジスタ122の並列ロード端子に接続され、そのシフトレジスタ122のクロック端子CLに併せて、送信バッファ121の読み出し制御端子Cおよびカウンタ123の出力およびクロック入力CLには制御部124の対応する入出力端子が接続される。カウンタ123のリセット端子および制御部124の起動入力には上述したプロセッサの第二の出力ポートが接続される。シフトレジスタ122の直列出

力はCRC演算部125の対応する入力に接続され、そのCRC演算部125の出力は畳み込み符号化部126およびインタリーバ127を介して図示されない送信部の変調入力に接続される。CRC演算部125および畳み込み符号化部126の制御入力には、制御部124の対応する出力が接続される。

【0004】

CRC演算部125は、一方の入力がシフトレジスタ122の直列出力に直結され、かつ最終段として配置されたセクタ128と、一方の入力がそのセクタ128と共にシフトレジスタ122の直列出力に直結された排他的論理和ゲート129と、その排他的論理和ゲート129の出力に直列に接続されたフリップフロップ（FF）130-1、130-2と、一方の入力がこのフリップフロップ130-1の入力と共に排他的論理和ゲート129の出力に接続され、かつ他方の入力がフリップフロップ130-2の出力に接続された排他的論理和ゲート131と、入力が排他的論理和ゲート131の出力に直結されると共に、出力が排他的論理和ゲート129およびセクタ128の他方の入力に接続されたフリップフロップ（FF）130-3とから構成される。

【0005】

畳み込み符号化部126は、CRC演算部128（セクタ128）の出力に縦続接続されたフリップフロップ（FF）131-1～131-3と、フリップフロップ131-1、131-2の出力に個別に直結された2つの入力を有する排他的論理和ゲート132-1と、フリップフロップ131-1、131-3の出力に個別に直結された2つの入力を有する排他的論理和ゲート132-2と、最終段として配置され、かつ2つの入力がそれぞれ排他的論理和ゲート132-1、132-2の出力に直結されたセクタ133とから構成される。

【0006】

このような構成の従来例では、送信バッファ121には、後述するCRC演算および畳み込み符号化の対象となるべき伝送情報がプロセッサによってバイト単位に分割されつつ一括して蓄積される。なお、以下では、このようにしてプロセッサが送信バッファ121に対して伝送情報を書き込む一連の処理については、単に「ブロック転送処理」と称することとする。

【0007】

さらに、送信バッファ 121 に対する全ての伝送情報の書き込みが完了したときには、カウンタ 123 と制御部 124 とに、プロセッサによってリセット信号が与えられる。

カウンタ 123 は、そのリセット信号が与えられると計数値を初期化し、かつ所定の周期で計数を行うと共に、その計数の結果であるアドレスを順次出力する。

【0008】

制御部 124 は、このリセット信号が与えられると、セクタ 128 に後述する「部分伝送情報」を選択すべきことを示す第一の選択信号を与え、かつセクタ 133 を初期化する。

また、制御部 124 は、カウンタ 123 によって出力されるアドレスが更新（初期化を含む。）される度に、送信バッファ 121 の記憶領域の内、新たなアドレスに対応した記憶領域に蓄積されているバイト（以下、「部分伝送情報」という。）の読み出しをこの送信バッファ 121 に指令する。さらに、制御部 124 は、シフトレジスタ 122 にその部分伝送情報をロードすることを要求すると共に、上述した周期の八分の一に等しい周期のクロック信号をシフトレジスタ 122 に与える。

【0009】

シフトレジスタ 122 は、先行してロードされた部分伝送情報をこのクロック信号に同期してビット毎に順次に出力する。

CRC 演算部 125 では、セクタ 128 は、上述した第一の選択信号が更新されない限り、このようにしてシフトレジスタ 122 から直列に出力される部分伝送情報を選択する。

【0010】

さらに、このような期間には、排他的論理和ゲート 129、131 およびフリップフロップ 130-1～130-3は、

$$G(x) = x^3 + x^2 + 1$$

の式で示される生成多項式 $G(x)$ で上述した部分伝送情報の列を除算することに

よって、伝送情報に付加されるべき F C S (Flame Check Sequence) を生成する。

【0011】

また、制御部 124 は、カウンタ 123 によって出力されたアドレスが所定の値に達したときに、伝送情報の語長と上述した生成多項式 $G(x)$ との組み合わせに適合した F C S の先頭のビットが得られる時点を識別し、かつ上述した第一の選択信号を更新すると共に、シフトレジスタ 122 の出力に得られる論理値を「0」に固定する。

【0012】

CRC 演算部 125 では、セクタ 128 は、この第一の選択信号が更新されると、フリップフロップ 130-3 を介して順次直列に得られる F C S を部分伝送情報に代えて選択する。

したがって、セクタ 128 の出力には、伝送情報とその伝送情報の末尾に付加された F C S とからなるビット列が直列に得られる。

【0013】

一方、畳み込み符号化部 126 では、セクタ 133 は、制御部 124 によって初期化された時点を基準として上述したビット列のビットレートの 2 倍の周波数で排他的論理和ゲート 132-1、132-2 の出力を交互に選択する。

また、これらの排他的論理和ゲート 132-1、132-2 およびフリップフロップ 131-1~131-3 は、そのビット列を 1 ビットずつ順次取り込んで所定の論理演算を行いつつセクタ 133 と連係することによって、符号化率「 $1/2$ 」、拘束長「3」に基づく畳み込み符号化処理を上述したビット列に施す。

【0014】

インタリーバ 127 は、この畳み込み符号化処理の下で畳み込み符号化部 126 によって生成された畳み込み符号を順次取り込み、かつ蓄積する。さらに、インタリーバ 127 は、その蓄積された畳み込み符号を所定の順序でビット毎に読み出すことによって、伝送路で生じ得るバースト誤りに起因した伝送品質の劣化の緩和に有効なインタリーブ処理をこの畳み込み符号に施し、かつ送信系列を生成する。

【0015】

すなわち、送信系列が生成されるためにビット単位に直列に行われるべきCRC演算、畳み込み符号化処理およびインタリーブ処理は、一般に、このようなビット単位の演算に適さない汎用のプロセッサが伝送情報の情報源のみとして介在することによって、確実に、かつ効率的に行われる。

【0016】

【発明が解決しようとする課題】

ところで、上述した従来例では、伝送情報の送信に先行して行われるべきCRC演算が開始されるためには、プロセッサは、そのCRC演算に先行して既述のブロック転送処理を行なわなければならない。

【0017】

したがって、個々の伝送情報は、チャンネル制御の手順その他に基づいて送信されるべきことが識別された時点から既述のCRC演算、畳み込み符号化演算およびインタリーブ処理に要する時間に併せて、図11(a)、(b)に網掛けを付して示すように、ブロック転送処理の所要時間が経過した後でなければ、実際には送信されなかった。

【0018】

また、制御部124、カウンタ123およびシフトレジスタ133が連係することによって所望の伝送情報が部分伝送情報毎に並一直列変換されるためには、例えば、デュアルポートRAM、FIFO、レジスタファイルのように、ハードウェアの規模が大きい送信バッファ121が備えられなければならない。

さらに、送信バッファ121に対して蓄積が可能な情報の最大の情報量は、送信されるべき伝送情報の最大の語長が大きいほど大きな値となる。

【0019】

したがって、送信バッファ121のハードウェアは、チャンネル制御の手順、チャンネル配置、ゾーン構成その他の構成によっては、規模の面において、図10に示す符号化部のハードウェアの大半を占める可能性があった。

また、ブロック転送処理と、プロセッサが上述したリセット信号を送出する処理とは、一般に、無線伝送路に対して送信が行われるべきフレームやスロットの周期とは非同期に行われる。

【 0 0 2 0 】

したがって、ブロック転送処理が開始された時点に後続する直近の送信時点までに、CRC演算、畳み込み符号化処理およびインタリーブ処理が完了できない場合には、所望の伝送情報の送信は、さらに後続する送信時点まで延期される。

なお、送信バッファ 1 2 1、シフトレジスタ 1 2 2、カウンタ 1 2 3 および制御部 1 2 4 の連係の下で既述の通りに行われる伝送情報の並一直列変換は、技術的には、プロセッサが行う処理として実現が可能である。

【 0 0 2 1 】

しかし、プロセッサは、一般には、例えば、チャネル制御のように、実時間で所定の期間内に完了すべき多くの処理を行わなければならない。

したがって、上述したCRC演算、畳み込み符号化処理およびインタリーブ処理は、このようなプロセッサの負荷の軽減を目的として備えられた専用のハードウェアによって行われなければならなかった。

【 0 0 2 2 】

さらに、シフトレジスタ 1 2 2、カウンタ 1 2 3、制御部 1 2 4、CRC演算部 1 2 5、畳み込み演算部 1 2 6 およびインタリーバ 1 2 7 の応答性が十分に高い場合には、プロセッサによって順次与えられる部分伝送情報が送信バッファ 1 2 1 を介することなくシフトレジスタ 1 2 2 に直接ロードされることによって、符号化の効率化とハードウェアのサイズの低減とが可能である。

【 0 0 2 3 】

しかし、プロセッサによって部分伝送情報を与えられ得る最大の速度（例えば、1 6 MHz）に対して確実な動作が実現されるためには、CRC演算部 1 2 5 はその速度の 8 倍の速度（1 2 8 MHz）に応答し、かつ畳み込み符号化部 1 2 6 およびインタリーバ 1 2 7 はさらに 2 倍の速度（2 5 6 MHz）に応答しなければならない。

【 0 0 2 4 】

したがって、このような高い速度に対する応答が可能である回路は、価格その他の制約によって実現が阻まれ、その実現が可能であっても、大幅な消費電力の増加に伴い、熱設計や実装技術にかかわる制約によって阻まれる。

また、このような問題は、プロセッサによって行われる処理の内、ブロック転送処理とリセット信号を出力する処理との優先度が高められ、あるいは部分伝送情報が与えられる速度が所定の値以下に規制されることによって、解決が可能である。

【0025】

しかし、このような対処がはかられた場合には、プロセッサが行うべき処理の体型であるタスク（プロセス）の構成だけではなく、これらのタスクの連係の実現に供される手法（タスク間の同期、通信その他）やその手法の組み合わせにも変更が伴うために、上記の課題に何ら関係がない処理のタイミングも変化してしまう。

【0026】

本発明は、ハードウェアおよびソフトウェアの基本的な構成が大幅に変更されることなく、高速に、かつ確度高く所望の符号化や復号化が実現される符号化支援装置、復号化支援装置、無線送信機および無線受信機を提供することを目的とする。

【0027】

【課題を解決するための手段】

図1は、請求項1～9に記載の発明の原理ブロック図である。

【0028】

請求項1に記載の発明は、複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段11と、演算対象保持手段11に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段11に保持された語に対する演算に適用されるべき引数を保持する引数保持手段12と、演算対象保持手段11によって保持された語と引数保持手段12によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された符号化を演算として行う演算手段13とを備えたことを特徴とする。

【0029】

請求項2に記載の発明は、複数ビットからなる一定の語長に分割されて与えら

れる語を順次保持する演算対象保持手段 1 1 と、演算対象保持手段 1 1 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 1 1 に保持された語に対する演算に適用されるべき引数を保持する引数保持手段 1 2 と、演算対象保持手段 1 1 によって保持された語と引数保持手段 1 2 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された復号化を演算として行う演算手段 2 1 とを備えたことを特徴とする。

【 0 0 3 0 】

請求項 3 に記載の発明は、請求項 1 に記載の符号化支援装置において、演算対象保持手段 1 1 には、語長の単位に分割された伝送情報が語として与えられ、演算手段 1 3 は、最上位の次数が語長以下である生成多項式で伝送情報を除することを特徴とする。

請求項 4 に記載の発明は、請求項 2 に記載の復号化支援装置において、演算対象保持手段 1 1 には、語長の単位に分割された受信系列が語として与えられ、演算手段 2 1 は、最上位の次数が語長以下である生成多項式で受信系列を除くことを特徴とする。

【 0 0 3 1 】

請求項 5 に記載の発明は、請求項 1 に記載の符号化支援装置において、演算対象保持手段 1 1 には、語長の単位に分割された伝送情報が語として与えられ、演算手段 1 3 は、拘束長が語長未満である木符号化方式に基づいて伝送情報を符号化することを特徴とする。

請求項 6 に記載の発明は、請求項 3 に記載の符号化支援装置において、演算対象保持手段 1 1 には、整数 N の語に分割され、かつ最上位と最下位との双方あるいは何れか一方に無効なビット列が付加されてなる伝送情報が与えられ、演算手段 1 3 は、伝送情報の内、無効なビットを演算対象として無効化することを特徴とする。

【 0 0 3 2 】

請求項 7 に記載の発明は、請求項 3 に記載の符号化支援装置において、演算対象保持手段 1 1 には、整数 N の語に分割され、かつ最上位と最下位との双方ある

いはいれか一方に無効なビット列が付加されてなる伝送情報が与えられ、演算手段 1 3 は、伝送情報として与えられ、かつ無効なビットを含む語の内、有効なビットを演算対象とすることを特徴とする。

【0 0 3 3】

請求項 8 に記載の発明は、請求項 1、3、5～7 の何れか 1 項に記載された符号化支援装置において、演算手段 1 3 によって得られた演算の結果を語長が一定の値である語の列に変換し、かつ所定の演算を行う後続演算手段 3 1 にこれらの語を順次与える語長調整手段 3 2 を備えたことを特徴とする。

請求項 9 に記載の発明は、請求項 2 または請求項 4 に記載の復号化支援装置において、演算手段 2 1 によって得られた演算の結果を語長が一定である語の列に変換し、所定の演算を行う後続演算手段 4 1 にこれらの語を順次与える語長調整手段 4 2 を備えたことを特徴とする。

【0 0 3 4】

図 2 は、請求項 1 0 に記載の発明の原理ブロック図である。

請求項 1 0 に記載の発明は、複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段 1 1 と、演算対象保持手段 1 1 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 1 1 に保持された語に対する演算に適用されるべき引数を保持する引数保持手段 1 2 と、演算対象保持手段 1 1 によって保持された語と引数保持手段 1 2 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された符号化を演算として行う演算手段 1 3 と、演算手段 1 3 によって行われた演算の結果を無線伝送路に送信する無線インタフェース手段 5 1 とを備えたことを特徴とする。

【0 0 3 5】

図 3 は、請求項 1 1 に記載の発明の原理ブロック図である。

請求項 1 1 に記載の発明は、無線伝送路を介して到来した無線周波信号を復調し、その無線周波信号として与えられる伝送情報を複数ビットからなる一定の語長の語に分割して出力する無線インタフェース手段 6 1 と、無線インタフェース手段 6 1 によって出力された語を順次保持する演算対象保持手段 6 2 と、演算対

象保持手段 62 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 62 に保持された語に対する演算に適用されるべき引数を保持する引数保持手段 63 と、演算対象保持手段 62 によって保持された語と引数保持手段 63 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された復号化を演算として行う演算手段 64 とを備えたことを特徴とする。

【0036】

請求項 1 に記載の発明にかかわる符号化支援装置では、演算対象保持手段 11 は、複数ビットからなる一定の語長に分割されて与えられる語を順次保持する。引数保持手段 12 は、演算対象保持手段 11 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 11 に保持された語に対する演算に適用されるべき引数を保持する。

【0037】

演算手段 13 は、これらの保持された語と引数とに含まれる個々のビットの論理値に応じて、論理演算として定義された符号化を上述した演算として行う。

すなわち、このような演算は、既述の一定の語長毎に順次与えられる個々の語に対して、組み合わせ回路として構成された演算手段 13 によって並列に一括して行われる。

【0038】

したがって、これらの語が順次与えられ得る最小のインターバルに比べて、演算対象保持手段 11 および演算手段 13 を介して引数保持手段 12 の出力に至る伝搬所要時間の総和が小さく、あるいは大きい場合であっても許容される程度に小さい限り、このインターバルが変更されることなく、かつ上述した演算の開始に先行して演算対象を予め蓄積する手段が備えられることなく効率的に符号化が行われる。

【0039】

請求項 2 に記載の発明にかかわる復号化支援装置では、演算対象保持手段 11 は、複数ビットからなる一定の語長に分割されて与えられる語を順次保持する。引数保持手段 12 は、演算対象保持手段 11 に保持された語と、その語に対して

先行して施された演算の結果との内、後続してこの演算対象保持手段 1 1 に保持された語に対する演算に適用されるべき引数を保持する。

【0 0 4 0】

演算手段 2 1 は、これらの保持された語と引数とに含まれる個々のビットの論理値に応じて、論理演算として定義された復号化を上述した演算として行う。

すなわち、このような演算は、既述の一定の語長毎に順次与えられる個々の語に対して、組み合わせ回路として構成される演算手段 2 1 によって並列に一括して行われる。

【0 0 4 1】

したがって、これらの語が順次与えられ得る最小のインターバルに比べて、演算対象保持手段 1 1 および演算手段 2 1 を介して引数保持手段 1 2 の出力に至る伝搬所要時間の総和が小さく、あるいは大きい場合であっても許容される程度の小さい限り、このインターバルが変更されることなく、かつ上述した演算の開始に先行して演算対象を予め蓄積する手段が備えられることなく、効率的に復号化が行われる。

【0 0 4 2】

請求項 3 に記載の発明にかかわる符号化支援装置では、請求項 1 に記載の符号化支援装置において、演算対象保持手段 1 1 には、語長の単位に分割された伝送情報が語として与えられる。

演算手段 1 3 は、最上位の次数がその語長以下である生成多項式でこの伝送情報を除する。

【0 0 4 3】

このようにして伝送情報が生成多項式で除されることによって得られた商および剰余は、一般に、この生成多項式に適応した線形符号、あるいは代数的符号に該当する。

したがって、上述した伝送情報の符号化は、既述の語長毎に並列に行われる演算として効率的に達成される。

【0 0 4 4】

請求項 4 に記載の発明にかかわる復号化支援装置では、請求項 2 に記載の復号

化支援装置において、演算対象保持手段 1 1 には、語長の単位に分割された受信系列が語として与えられる。

【 0 0 4 5 】

演算手段 2 1 は、最上位の次数がその語長以下である生成多項式でこの受信系列を除する。

このようにして受信系列が生成多項式で除されることによって得られた商および剰余は、一般に、この受信系列で示される伝送情報だけではなく、その伝送情報に含まれるビット誤りの形態あるいは有無を意味する。

【 0 0 4 6 】

したがって、上述した受信系列の復号化は、既述の語長毎に並列に行われる演算として効率的に達成される。

請求項 5 に記載の発明にかかわる符号化支援装置では、請求項 1 に記載の符号化支援装置において、演算対象保持手段 1 1 には語長の単位に分割された伝送情報が語として与えられ、演算手段 1 3 は、所定の木符号化方式に基づいてこの伝送情報を符号化する。

【 0 0 4 7 】

また、上述した木符号化方式には既述の語長未満の拘束長が適用されるので、このような符号化は、その語長単位に与えられ、かつ演算対象保持手段 1 1 に保持された個々の語に含まれるビットと、引数保持手段 1 2 に先行して保持された引数との論理値の組み合わせに対して並列に行われる論理演算として順次行われる。

【 0 0 4 8 】

したがって、伝送情報の木符号化は、既述の語長毎に並列に行われる演算として効率的に達成される。

請求項 6 に記載の発明にかかわる符号化支援装置では、請求項 3 に記載の符号化支援装置において、演算対象保持手段 1 1 には、整数 N の語に分割され、かつ最上位と最下位との双方あるいは何れか一方に無効なビット列が付加されてなる伝送情報が与えられる。

【 0 0 4 9 】

演算手段 1 3 は、その伝送情報の内、上述した無効なビットを演算対象として無効化する。

すなわち、伝送情報にパックされた無効なビットは、演算手段 1 3 に組み込まれ、かつ所定の論理演算を行う組み合わせ回路の基本的な構成が変更されることなく上述した演算対象から除外される。

【 0 0 5 0 】

したがって、このような無効なビットの論理値の如何にかかわらず、確実に符号化が行われる。

請求項 7 に記載の発明にかかわる符号化支援装置では、請求項 3 に記載の符号化支援装置において、演算対象保持手段 1 1 には、整数 N の語に分割され、かつ最上位と最下位との双方あるいは何れか一方に無効なビット列が付加されてなる伝送情報が与えられる。

【 0 0 5 1 】

演算手段 1 3 は、この伝送情報として与えられ、かつ上述した無効なビット列を含む語の内、有効なビットを演算対象とする。

すなわち、演算手段 1 3 に組み込まれた組み合わせ回路には、上述した有効なビットのみが演算対象として与えられる。

したがって、伝送情報に何らかの無効なビットがパックされ得る語と、その語にこの無効なビットが含まれる位置とが既知である限り、かつ確実に符号化が行われる。

【 0 0 5 2 】

請求項 8 に記載の発明にかかわる符号化支援装置では、請求項 1、3、5～7 の何れか 1 項に記載の符号化支援装置において、語長調整手段 3 2 は、演算手段 1 3 によって得られた演算の結果を語長が一定である語の列に変換し、所定の演算を行う後続演算手段 3 1 にこれらの語を順次与える。

すなわち、演算手段 1 3 によって与えられた演算の結果と、この演算の結果に対して後続演算手段 3 1 によって並列に所定の演算が行われるべき演算対象との語長の相違は、語長調整手段 3 2 によって自立的に吸収される。

【 0 0 5 3 】

したがって、演算手段 1 3 の後段に上述した後続演算手段 3 1 が配置された場合であっても、演算対象保持手段 1 1 を介してその演算手段 1 3 に一定の語長の語を順次与える手段の負荷が増加することなく、これらの演算手段 1 3 および後続演算手段 3 1 の関係によって効率的に符号化が行われる。

請求項 9 に記載の発明にかかわる復号化支援装置では、請求項 2 または請求項 4 に記載の復号化支援装置において、語長調整手段 4 2 は、演算手段 2 1 によって得られた演算結果を語長が一定である語の列に変換し、所定の演算を行う後続演算手段 4 1 にこれらの語を順次与える。

【 0 0 5 4 】

すなわち、演算手段 2 1 によって与えられた演算の結果と、この演算の結果に対して後続演算手段 4 1 によって並列に所定の演算が行われるべき演算対象との語長の相違は、語長調整手段 4 2 によって自立的に吸収される。

したがって、演算手段 2 1 の後段に上述した後続演算手段 4 1 が配置された場合であっても、演算対象保持手段 1 1 を介してその演算手段 2 1 に一定の語長の語を順次与える手段の負荷が増加することなく、これらの演算手段 2 1 および後続演算手段 4 1 の関係によって効率的に復号化が行われる。

【 0 0 5 5 】

請求項 1 0 に記載の発明にかかわる無線送信機では、演算対象保持手段 1 1 は、複数ビットからなる一定の語長に分割されて与えられる語を順次保持する。引く保持手段 1 2 は、演算対象保持手段 1 1 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 1 1 に保持された語に対する演算に適用されるべき引数を保持する。演算手段 1 3 は、演算対象保持手段 1 1 によって保持された語と引数保持手段 1 2 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された符号化を演算として行う。無線インタフェース手段 5 1 は、その演算の結果を無線伝送路に送信する。

【 0 0 5 6 】

すなわち、上述した語の列として与えられる伝送情報は、演算手段 1 3 によって効率的に符号化され、かつ無線インタフェース手段 5 1 を介して無線伝送路に

送信される。

【0057】

したがって、この伝送情報の符号化に要する時間が長いことに起因するその伝送情報の送信の遅延が緩和され、かつ無線伝送路の伝送効率および利用効率が高められる。

請求項 11 に記載の発明にかかわる無線受信器では、無線インタフェース手段 61 は、無線伝送路を介して到来した無線周波信号を復調し、その無線周波信号として与えられる伝送情報を複数ビットからなる一定の語長の語に分割して出力する。演算対象保持手段 62 は、無線インタフェース手段 61 によって出力された語を順次保持する。引数保持手段 63 は、演算対象保持手段 62 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 62 に保持された語に対する演算に適用されるべき引数を保持する。演算手段 64 は、演算対象保持手段 62 によって保持された語と引数保持手段 63 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する論理演算として定義された復号化を演算として行う。

【0058】

すなわち、無線伝送路を介して受信された伝送情報は、無線インタフェース手段 61、演算対象保持手段 62、引数保持手段 63 および演算手段 64 の連係の下で効率的に復号化される。

したがって、この伝送情報の復号化に要する時間が長いことに起因する伝送遅延が緩和され、かつ無線伝送路の伝送効率および利用効率が高められる。

【0059】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態について詳細に説明する。

図 4 は、請求項 1 ～ 9 に記載の発明に対応した実施形態を示す図である。

本実施形態と図 10 に示す従来例との構成の相違点は、送信バッファ 121、シフトレジスタ 122、カウンタ 123 および制御部 124 が備えられず、CRC 演算部 125 に代えて CRC 演算支援部 70 が備えられ、畳み込み符号化部 1

26に代えて符号化支援部71が備えられ、インタリーバ127に代えてインタリーバ72が備えられ、CRC演算支援部70の出力と符号化支援部71の入力とが図示されないプロセッサの対応する入出力ポートに接続された点にある。

【0060】

CRC演算支援部70は、上述したプロセッサの第一の出力ポートに入力が接続されたバッファ74と、そのプロセッサの第二の出力ポートに入力が接続され、かつ第一の出力がバッファ74の制御入力に直結された読み出しクロック生成部75と、バッファ74が有する8個の並列出力に入力がそれぞれ直結されたフリップフロップ(FF)76-1~76-8と、読み出しクロック生成部75の第二の出力に入力が直結されたインバータ77と、そのインバータ77の出力にリセット端子が直結され、かつ読み出しクロック生成部75の第三の出力にイネーブル端子が直結されると共に、最終段として配置されたフリップフロップ(FF)78-0~78-2と、フリップフロップ76-1、76-4、76-6~76-8、78-1、78-2の出力に直結された7つの入力に併せて、フリップフロップ78-0のロード端子に直結された出力を有する排他的論理和ゲート79-1と、フリップフロップ76-3、76-5~76-7、78-0の出力に直結された5つの入力に併せて、フリップフロップ78-1のロード端子に直結された出力を有する排他的論理和ゲート79-2と、フリップフロップ76-1、76-2、76-7、76-8、78-2の出力に直結された5つの入力に併せて、フリップフロップ78-2のロード端子に直結された出力を有する排他的論理和ゲート79-3とから構成される

符号化支援部71は、上述したプロセッサの第三の出力ポートに入力が接続されたバッファ80と、そのプロセッサの第四の出力ポートに入力が接続され、かつ一方の出力がバッファ80の制御入力に直結されたクロック生成部81と、バッファ80が有する8個の並列出力に入力がそれぞれ直結されたフリップフロップ(FF)82-1~82-8と、クロック生成部81の他方の出力に入力が直結された遅延回路(D)83と、その遅延回路83の出力にリセット端子が直結され、かつ入力がフリップフロップ82-7、82-8の出力にそれぞれ接続されたフリップフロップ(FF)84-0、84-1と、フリップフロップ82-1、84-0の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート85-1と、フリ

ップフロップ 82-1、84-1の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-2と、フリップフロップ 82-1、82-2の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-3と、フリップフロップ 82-2、84-0の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-4と、フリップフロップ 82-2、82-3の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-5と、フリップフロップ 82-1、82-3の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-6と、フリップフロップ 82-3、82-4の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-7と、フリップフロップ 82-2、82-4の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-8と、フリップフロップ 82-4、82-5の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-9と、フリップフロップ 82-3、82-5の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-10 と、フリップフロップ 82-5、82-6の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-11 と、フリップフロップ 82-4、82-6の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-12 と、フリップフロップ 82-6、82-7の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-13 と、フリップフロップ 82-5、82-7の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-14 と、フリップフロップ 82-7、82-8の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-15 と、フリップフロップ 82-6、82-8の出力にそれぞれ直結された2つの入力を有する排他的論理和ゲート 85-16 と、これらの排他的論理和 85-1～85-16 の後段に個別に最終段として配置されたフリップフロップ (FF) 86-1～86-16 とから構成される。

【0061】

なお、本実施形態と図1に示すブロック図との対応関係については、バッファ 74、読み出しクロック生成部 75およびフリップフロップ 76-1～76-8は演算対象保持手段 11に対応し、フリップフロップ 78-0～78-2、読み出しクロック生成部 75およびインバータ 77は引数保持手段 12に対応し、排他的論理

和ゲート 79-1～79-3は演算手段 13に対応する。

【0062】

以下、請求項 1～5に記載の発明に対応した本実施形態の動作を説明する。

CRC演算支援部 70では、読み出しクロック生成部 75は、プロセッサによってリセット信号が与えられると、インバータ 77を介してフリップフロップ 78-0～78-2を初期化する。なお、フリップフロップ 78-0～78-2については、簡単のため、このような初期化に応じて何れもリセットされると仮定する。

【0063】

読み出しクロック生成部 75は、プロセッサによって部分伝送情報が出力される度に、そのプロセッサによって与えられる書き込みイネーブル信号を検出し、その書き込みイネーブル信号をバッファ 74に与える。

バッファ 74は、その書き込みイネーブル信号が与えられた時点でプロセッサによって出力されている部分伝送情報を取り込み、かつ蓄積する。

【0064】

また、フリップフロップ 76-1～76-8には、このようにしてバッファに蓄積された部分伝送情報が自動的に、かつ速やかに複写される。

ところで、フリップフロップ 78-0～78-2に並行して蓄積され得るビットの数は、図 10に示すCRC演算部 125によって算出され、かつ既述の生成多項式 $G(x)$ に基づいて求められるFCSの語長「3」に等しい。

【0065】

また、これらのフリップフロップ 78-0～78-2にそれぞれ設定される初期値の論理値がそれぞれ i_0 、 i_1 、 i_2 であり、かつこれらの初期値が確定した後にCRC演算部 125に直列に与えられる8ビットの部分伝送情報の論理値が時系列 t ($=1\sim 8$)の順にそれぞれ d_1 、 d_2 、 d_3 、 d_4 、 d_5 、 d_6 、 d_7 、 d_8 である場合には、

- (a) 排他的論理和ゲート 129の出力に得られる論理値、
- (b) フリップフロップ 130-1、130-2に保持される論理値、
- (c) 排他的論理和ゲート 131の出力に得られる論理値、
- (d) フリップフロップ 130-3に保持される論理値

は、それぞれ時系列の順に図5に示す論理式で与えられる。

【0066】

なお、図5において、丸印内に文字「+」が付加されてなる記号は、排他的論理和を示す演算子である。

また、図5において、上述した論理値(a)～(d)を与える排他的論理和演算の演算対象の内、偶数个重複する演算対象については、一般に、省略が可能である。

すなわち、図10に示すフリップフロップ130-1～130-3と排他的論理和ゲート129、131とから構成される除算回路では、論理値がそれぞれd1、d2、d3、d4、d5、d6、d7、d8である8ビットの部分伝送情報が順次直列に与えられた時点には、これらのフリップフロップ130-1～130-3に保持される個々の論理値は図5に網掛けを付して示すように、I0、I1、I2として一義的に定まる。

【0067】

一方、CRC演算支援部70では、上述した論理値i0～i2はそれぞれフリップフロップ78-0～78-2に保持された論理値として与えられ、かつ論理値d1、d2、d3、d4、d5、d6、d7、d8はそれぞれフリップフロップ76-1～76-8に保持された論理値として与えられる。

さらに、排他的論理和ゲート79-1～79-3は、これらの論理値i0～i2（初期化された直後には何れも「0」に設定されるが、先行してこれらの排他的論理和ゲート79-1～79-3によって何らかの演算が行われた場合にはその演算の結果であるI0、I1、I2として引き渡される。）と、論理値d1、d2、d3、d4、d5、d6、d7、d8とに対して、それぞれ図5に示す論理式で示されるI0、I1、I2を一括して得る排他的論理和演算を行う。

【0068】

読み出しクロック生成部75は、プロセッサによって上述した書き込みイネーブル信号が与えられる度に、その書き込みイネーブル信号が与えられた時点からバッファ74、フリップフロップ76-1～76-8および排他的論理和ゲート79-1～79-3の伝搬所要時間以上に亘って遅れた時点で、フリップフロップ78-0～78-2にイネーブル信号を与える。

【0069】

フリップフロップ78-0～78-2は、このイネーブル信号が与えられると、その時点で排他的論理和ゲート79-1～79-3によってそれぞれ出力されている論理値I0、I1、I2を保持する。

さらに、これらの論理値I0、I1、I2は、プロセッサによって先行して与えられた部分伝送情報に応じて求められた結果として、後続して与えられる部分伝送情報に対する同様の演算の過程で参照される。

【0070】

また、プロセッサは、CRC演算支援部70に所定のバイト数に亘って全ての部分伝送情報を与えた後には、フリップフロップ78-0～78-2に保持されているFSCを読みとり、これらの部分伝送情報の列にそのFSCが付加されてなるビット列（以下、単に「CRC符号」という。）を生成する。

さらに、プロセッサは、符号化支援部71にリセット信号を与え、かつ上述したCRC符号がバイト単位に分割されることによってなる「部分CRC符号」と書き込みイネーブル信号とを符号化支援部71に順次与える。

【0071】

符号化支援部71では、バッファ80、クロック生成部81、遅延回路83およびフリップフロップ82-1～82-8、84-0、84-1は、CRC演算支援部70に備えられたバッファ74、読み出しクロック生成部75、インバータ77およびフリップフロップ76-1～76-8、78-0～78-2と同様にプロセッサと連係して動作するので、以下では、その詳細な動作を説明する。

【0072】

ところで、フリップフロップ84-0、84-1に並行して蓄積され得るビットの数は、図10に示す畳み込み符号化部126によって行われる演算の過程でフリップフロップ131-1～131-3に保持されるビット列の語長に等しい「3」に予め設定される。

また、これらのフリップフロップ84-0、84-1に設定される初期値の論理値がそれぞれc0、c1であり、これらの初期値が確定した後に直列に与えられる8ビットの部分CRC符号の論理値が時系列t(=1～8)の順にそれぞれf1、f2、f

3、f4、f5、f6、f7、f8である場合には、

(A) フリップフロップ131-1～131-3に保持される論理値、

(B) 排他的論理和ゲート132-1、132-2の出力に得られる論理値、

は、それぞれ時系列の順に図6に示す論理値で与えられる。

【0073】

なお、図6において、丸印内に文字「+」が付加されてなる記号は、排他的論理和を示す演算子である。

すなわち、図10に示す畳み込み符号化部126では、論理値がそれぞれf1、f2、f3、f4、f5、f6、f7、f8である8ビットの部分CRC符号語が順次直列に与えられる過程において、フリップフロップ131-1～131-3に保持された論理値の組み合わせに応じて排他的論理和ゲート132-1、132-2およびセクタ133の連係の下で得られる畳み込み符号の論理値は、図6に網掛けを付して示す論理値g1、g2、g3、g4、g5、g6、g7、g8、g9、g10、g11、g12、g13、g14、g15、g16として一義的に定まる。

【0074】

符号化支援部71では、排他的論理和ゲート85-1～85-16は、フリップフロップ84-0、84-1に保持された論理値c0、c1（初期化された直後には何れも「0」に設定されるが、先行してこれらの排他的論理和ゲート85-1～85-16によって何らかの演算が行われた場合にはその演算の結果であるC0、C1として引き渡される。）と、論理値f1、f2、f3、f4、f5、f6、f7、f8とに対して、それぞれ図6に示す式で示される論理値g1～g16を一括して求める排他的論理和演算を行う。

【0075】

これらの論理値g1、g2、g3、g4、g5、g6、g7、g8、g9、g10、g11、g12、g13、g14、g15、g16は、それぞれフリップフロップ86-1～86-16に保持される。

さらに、フリップフロップ82-1～82-8にそれぞれ保持された論理値f1、f2、f3、f4、f5、f6、f7、f8の内、論理値f7、f8は、図6に示す論理値g1、g2、g4を示す論理式に含まれるように、後続して与えられる部分CRC符号語に対して同様に行われる演算の演算対象としてフリップフロップ84-0、84-1に

保持される。

【0076】

インタリーバ72は、プロセッサが与えた個々の部分CRC符号に応じて16ビットの論理値g1、g2、g3、g4、g5、g6、g7、g8、g9、g10、g11、g12、g13、g14、g15、g16の列として与えられた部分畳み込み符号を順次取り込み、図10に示すインタリーバ127が行うインタリーブ処理と等価な処理を行うことによって送信系列を生成する。

【0077】

すなわち、CRC演算と畳み込み符号化とは、プロセッサによってバイト単位に与えられる部分伝送情報と部分CRC符号語とに応じて並列演算を行う組み合わせ回路によって速やかに順次行われる。

さらに、これらの部分伝送情報や部分CRC符号語は、何れも従来例のように送信バッファに一括して蓄積され、かつ順次読み出されることなく、それぞれCRC演算と畳み込み符号化との演算対象として適用される。

【0078】

また、これらの部分伝送情報や部分CRC符号語を与えるプロセッサに組み込まれるソフトウェアの構成は、CRC演算支援部70については、バッファ74からフリップフロップ76-1～76-8および排他的論理和ゲート79-1～79-3を介してフリップフロップ78-0～78-2に至る伝搬遅延時間の総和、符号化支援部71については、バッファ80からフリップフロップ82-1～82-8および排他的論理和ゲート85-1～85-16を介してフリップフロップ86-1～86-16に至る伝搬遅延時間の総和がこのプロセッサのバスサイクルに比べて短く、あるいは許容される程度に短い限り、大幅に変更されなくてもよい。

【0079】

したがって、本実施形態によれば、ハードウェアの規模が削減され、かつハードウェアおよびソフトウェアの構成が大幅に変更されることなく、送信系列が効率的に生成される。

なお、本実施形態では、CRC演算支援部70は、既述のプロセッサの配下で作動することによって、効率的なCRC演算を実現している。

【 0 0 8 0 】

しかし、本発明は、このようなCRC演算に限らず、線形符号の内、巡回符号だけではなく、ガロア体の理論に適合したBCH符号その他の代数的符号の符号化にも同様に適用可能である。

また、本実施形態では、符号化支援部71は、プロセッサの配下で作動することによって、効率的な畳み込み符号化を実現している。

【 0 0 8 1 】

しかし、本発明は、このような畳み込み符号化だけではなく、所定の語長単位に分割して与えられるビット列の論理値に対してそのビット列毎の符号化の結果が一義的に定まり、かつ組み合わせ回路によってその結果が求められるならば、拘束長や符号化率の如何にかかわらず如何なる木符号化にも適用可能である。

以下、請求項6、7に記載の発明に対応した実施形態について説明する。

【 0 0 8 2 】

本実施形態と請求項1～5に記載の発明に対応した実施形態との構成の相違点は、CRC演算支援部70に代えて、図7に示すCRC演算支援部90が備えられた点にある。

CRC演算支援部90とCRC演算支援部70との構成の相違点は、排他的論理和ゲート79-1～79-3の制御端子に直結された制御出力を有する読み出しクロック生成部75Aが読み出しクロック生成部75に代えて備えられ、フリップフロップ76-1、76-2、78-0、78-1、78-2の出力に直結された入力端子と、排他的論理和ゲート79-1～79-3の出力と共にフリップフロップ78-0～78-2のロード端子に直結された出力端子とに併せて、制御端子に読み出しクロック生成部75Aの特定の出力が直結された例外演算部91が備えられた点にある。

【 0 0 8 3 】

例外演算部91は、図5に、斜線の網掛けが付されるように、フリップフロップ76-1、76-2、78-1、78-2の出力に直結された入力とフリップフロップ78-0のロード端子に直結された出力とを有する排他的論理和ゲート92-1と、フリップフロップ76-1、78-2の出力に直結された入力とフリップフロップ7

8-1のロード端子に直結された出力とを有する排他的論理和ゲート9 2-2と、フリップフロップ7 6-1、7 6-2、7 8-0、7 8-1、7 8-2の出力に直結された入力とフリップフロップ7 8-2のロード端子に直結された出力とを有する排他的論理和ゲート9 2-3とから構成される。

【0 0 8 4】

なお、本実施形態と図1に示すブロック図との対応関係については、読み出しクロック生成部7 5 A、排他的論理和ゲート7 9-1～7 9-3および例外演算部9 1が演算手段1 3、2 1に対応する点を除いて、請求項1～5に記載の発明に対応した実施形態に対応関係と同じである。

以下、図4および図7を参照して請求項6、7に記載の発明に対応した本実施形態の動作を説明する。

【0 0 8 5】

本実施形態では、バッファ7 4には、図8に示すように、上位の2ビットのみに有効なビットがパックされた第一のバイトと、有効な8ビットがパックされた第二のバイトおよび第三のバイトとからなる部分伝送情報がプロセッサによって順次与えられる。

読み出しクロック生成部7 5 Aは、プロセッサによってリセット信号が与えられた時点を起点としてそのプロセッサによって与えられる書き込みイネーブル信号を計数する。

【0 0 8 6】

さらに、この計数値が「1」である期間には、例外演算部9 1の動作を許容し、かつ排他的論理和ゲート7 9-1～7 9-3が行う論理演算を規制する。

しかし、読み出しクロック生成部7 5 Aは、その計数値が「2」および「3」である期間には、例外演算部9 1の動作を規制し、かつ排他的論理和ゲート7 9-1～7 9-3が行う論理演算を許容する。

【0 0 8 7】

すなわち、部分伝送情報として上述した第一のバイトがプロセッサによって与えられる期間には、その部分伝送情報に含まれる有効な上位2ビットのみが演算対象として適用される。

したがって、この第一のバイトの下位 6 ビットに如何なる論理値の情報がパックされている場合であっても、CRC 演算は、正確に行われる。

【0088】

なお、本実施形態では、第一のバイトに含まれる無効なビットが演算対象から除外されることによって構成された例外演算部 91 が備えられ、その例外演算部 91 が排他的論理和ゲート 79-1~79-3 に代わって作動することによって、これらの無効なビットに起因して CRC 演算の結果に生じ得る誤差が回避されている。

【0089】

しかし、無効なビットが第一バイトの上位オーダのみにパックされ、かつこれらの無効なビットの論理値が何れも「0」である場合には、図 7 に示す CRC 演算支援部 90 に代えて図 4 に示す CRC 演算支援部 70 が備えられてもよい。

また、このような無効なビットが第一のバイトの上位オーダと第三のバイトの下位オーダとの双方あるいは何れか一方にパックされ、かつこれらの無効なビットの論理値の何れかが「1」である場合には、これらの第一のバイトおよび第三のバイトとして与えられる部分伝送情報のみに適応した論理演算を行う演算回路が備えられ、あるいは排他的論理和ゲート 79-1~79-3 に代えて、第二のバイトとして与えられる部分伝送情報に適応した論理演算を行う演算回路に入力されるべきビットを適宜無効化する演算回路が備えられてもよい。

【0090】

以下、請求項 8、9 に記載の発明に対応した実施形態について説明する。

本実施形態と請求項 1~5 に記載の発明に対応した実施形態との構成の相違点は、図 4 に点線で示すように、CRC 演算支援部 70 の出力と符号化支援部 71 の入力とがプロセッサの何れの入出力ポートにも接続されず、かつ CRC 演算支援部 70 と符号化支援部 71 との段間に語長調整部 73 が備えられ、その語長調整部 73 の伝送情報入力がバッファ 74 の入力に並列に接続された点にある。

【0091】

なお、本実施形態と図 1 に示すブロック図との対応関係については、符号化支援部 71 が後続演算手段 31、41 に対応し、語長調整部 73 が語長調整手段 3

2、42に対応する点を除いて、請求項1～7に記載の発明に対応した実施形態における対応関係と同じである。

【0092】

以下、図4を参照して請求項8、9に記載の発明に対応した本実施形態の動作を説明する。

CRC演算支援部70がプロセッサと連係して行う動作については、請求項1～5に記載の発明に対応した実施形態における動作と同じであるので、ここでは、その説明を省略する。

【0093】

語長調整部73は、プロセッサによってCRC演算支援部70に与えられた部分伝送情報と、そのCRC演算支援部70によって得られたFCSとをそのプロセッサに代わって取り込み、かつ蓄積する。

さらに、語長調整部73は、これらの部分伝送情報の列とFCSとからなるCRC符号を既述の部分CRC符号語の列に変換して符号化支援部71に順次与える。

【0094】

すなわち、本実施形態によれば、CRC演算に続いて行われるべき畳み込み符号化の演算は、請求項1～7に記載の実施形態においてプロセッサによって行われていた処理が語長調整部73によって代行されることによって確実に行われる。

したがって、プロセッサの負荷が軽減されると共に、そのプロセッサの過負荷に起因して送信系列の生成が無用に遅延することが回避される。

【0095】

なお、上述した各実施形態では、送信系列を生成する符号化に本発明が適用されている。

しかし、本発明は、このような符号化の過程に限定されず、受信系列の復号化であっても、既述の語長が所望の生成多項式の次数、拘束長および符号化率に適合し、その復号化の過程でこの生成多項式に基づく除算と、木復号化との双方あるいは何れか一方が行われるならば、同様に適用可能である。

【 0 0 9 6 】

図 9 は、請求項 1 0、1 1 に記載の発明に対応した実施形態を示す図である。

図において、アンテナ 1 0 1-R の給電端には受信部 1 0 2 の入力に接続され、その受信部 1 0 2 の出力は変復調部 1 0 3 の復調入力に接続される。変復調部 1 0 3 の復調出力は分離・合成部 1 0 4 の復調入力に接続され、その分離・合成部 1 0 4 の変調出力は変復調部 1 0 3 の変調入力に接続される。変復調部 1 0 3 の変調出力は送信部 1 0 5 を介してアンテナ 1 0 1-T の給電端に接続され、その送信部 1 0 5 と受信部 1 0 2 との局発入力にはシンセサイザ部 1 0 6 の対応する出力が接続される。受信部 1 0 2、変復調部 1 0 3、分離・合成部 1 0 4、送信部 1 0 5 およびシンセサイザ部 1 0 6 の制御用の入出力端子には、プロセッサ (CPU) 1 0 7 の対応する入出力ポートが接続される。分離・合成部 1 0 4 のアナログポートにはスピーカ 1 0 8 と図示されないマイクとが接続され、その分離・合成部 1 0 4 のデジタルポートにはファクシミリ端末 1 0 9、パーソナルコンピュータ 1 1 0 その他の端末が接続される。

【 0 0 9 7 】

変復調部 1 0 3 は、既述の復調入力と復調出力との間に縦続接続され、かつプロセッサ 1 0 7 の配下で作動するスロット合成部 1 1 1、デインタリーバ 1 1 2、ビタビ復号器 1 1 3 および CRC 検定部 1 1 4 と、既述の変調入力と変調出力との間に縦続接続され、かつプロセッサ 1 0 7 の配下で作動する FCS 付加部 1 1 5、畳み込み符号化部 1 1 6、インタリーバ 1 1 7 およびスロット分解部 1 1 8 とから構成される。

【 0 0 9 8 】

なお、本実施形態と図 2、3 に示すブロック図との対応関係については、分離合成部 1 0 4 および FCS 付加部 1 1 5 は演算対象保持手段 1 1 に対応し、畳み込み符号化部 1 1 6 は引数手段 1 2 および演算手段 1 3 に対応し、インタリーバ 1 1 7、スロット分解部 1 1 8、送信部 1 0 5、シンセサイザ部 1 0 6 およびアンテナ 1 0 1-T は無線インタフェース手段 5 1 に対応し、シンセサイザ 1 0 6、アンテナ 1 0 1-R、受信部 1 0 2、スロット合成部 1 1 1 およびデインタリーバ 1 1 2 は無線インタフェース手段 6 1 に対応し、ビタビ復号器 1 1 3 は演算対象

保持手段 6 2、引数保持手段 6 3 および演算手段 6 4 に対応する。

【 0 0 9 9 】

以下、本実施形態の動作を説明する。

各部の基本的な動作は、下記の通りである。

プロセッサ 1 0 7 は、分離・合成部 1 0 4 および変復調部 1 0 3 に併せて、受信部 1 0 2、送信部 1 0 5 およびシンセサイザ 1 0 6 と関係することによって、主導的にチャネル制御を行う。

【 0 1 0 0 】

このようなチャネル制御の過程では、プロセッサ 1 0 7 は、シンセサイザ部 1 0 6 に所定のチャネル配置およびゾーン構成に適応した周波数の局発信号の生成を指示する。

自局が位置する無線ゾーンを形成する無線基地局からアンテナ 1 0 1 -R に到来した受信波は、上述した局発信号に応じて作動する受信部 1 0 2 によって規定の中間周波信号に変換され、さらに、復調されることによってベースバンド信号（以下、「下りベースバンド信号」という。）として出力される。

【 0 1 0 1 】

変復調部 1 0 3 では、スロット合成部 1 1 1 は、この下りベースバンド信号に所定の形式で含まれるスロットの内、プロセッサ 1 0 7 によって上述したチャネル制御の下で指示されたスロットの列を抽出し、かつ合成することによって、特定の無線チャネル（例えば、自局が待機している止まり木チャネル）を介して受信された伝送情報（以下、「下り伝送情報」という。）を示すビット列を生成する。

【 0 1 0 2 】

デインタリーバ 1 1 2、ビタビ復号器 1 1 3 および CRC 検定部 1 1 4 は、このビット列に対してデインタリーブ処理、畳み込み復号化処理および CRC 検定処理（無線基地局が上述した特定のチャネルに送信すべき送信系列を生成するために伝送情報に施した CRC 演算、畳み込み符号化処理およびインタリーブ処理に対してそれぞれ可逆的な処理である。）を施すことによって、下り伝送情報を復元する。

【0103】

分離・合成部104は、所定の語長（ここでは、簡単のため「バイト」であると仮定する。）の単位に、プロセッサ107あるいはファクシミリ端末109（パーソナルコンピュータ110）とCRC検定部114との間におけるこの下り伝送情報の引き渡しを行う。

また、分離・合成部104は、このプロセッサ107の配下で既述の引き渡しを実現する処理と反対の処理を施すことによって、プロセッサ107あるいはファクシミリ端末109（パーソナルコンピュータ110）によって与えられ、かつ無線基地局宛に送出されるべき伝送情報（以下、「上りの伝送情報」という。）を所定の語長単位に変復調部103に与える。

【0104】

変復調部103では、FCS付加部115、畳み込み符号化部116、インタリーバ117およびスロット分解部118は、このようにして与えられた伝送情報に対して、CRC検定部114、ビタビ復号器113、デインタリーバ112およびスロット合成部111によってそれぞれ既述の通り行われた処理と反対の処理をそれぞれ施すことによって、上り伝送情報を含み、かつ所定のスロットに配置されるべきビット列からなるベースバンド信号（以下、「上りベースバンド信号」という。）を生成する。

【0105】

シンセサイザ部106は、プロセッサ107がチャネル制御の手順に基づいて与える指示に応じて送信に供されるべき局発信号を生成する。

送信部105は、受信部102によって既述の通りに行われた処理と反対の処理をこれらの上りベースバンドおよび局発信号に応じて行うことによって送信波信号を生成し、かつアンテナ101-Tを介して無線基地局宛にその送信波信号を送信する。

【0106】

ところで、本実施形態では、変復調部103に備えられたFCS付加部115、畳み込み符号化部116およびインタリーバ117は、それぞれ図9に二点鎖線で示すように、プロセッサ107と、そのプロセッサ107の配下で作動する

分離・合成部 104 と係し、かつ図 4 に示す CRC 演算支援部 70、符号化支援部 71 およびインタリーバ 72 として構成される。

【0107】

すなわち、CRC 演算および畳み込み符号化は、何れも従来例に比べてハードウェアの規模が増大し、あるいはそのハードウェアの構成が大幅に変更されることなく、バイト単位の並列演算を行う組み合わせ回路によって高速に行われる。

したがって、本実施形態によれば、プロセッサ 107 に組み込まれるソフトウェアの基本的な構成が変更され、あるいは消費電力が大幅に増加することなく、適用された多元接続方式、チャンネル配置およびゾーン構成に柔軟に適応し、かつ効率的なチャンネル設定が実現される。

【0108】

なお、本実施形態では、変復調部 103 の構成要素の内、送信に供される FCS 付加部 115、畳み込み符号化部 116 およびインタリーバ 117 に本発明が適用されている。

しかし、本発明は、これらの FCS 付加部 115、畳み込み符号化部 116 およびインタリーバ 117 に限定されず、例えば、デインタリーバ 112 が受信系列をバイト単位に分割して出力する場合には、ビタビ復号器 113 と CRC 検定部 114 との双方あるいは何れか一方に適用されてもよく、さらに、ビタビ復号器 113 がこの受信系列を復号化することによって得られたビット列をバイト単位に分割して出力する場合には、この CRC 検定部 114 に適用されてもよい。

【0109】

また、本実施形態では、CDMA 方式が適用された移動通信システムの端末装置に本発明が適用されている。

しかし、本発明は、このような多元接続方式だけではなく、TDMA 方式、FDMA 方式が適用された無線伝送系であっても、同様に適用が可能である。

さらに、本実施形態では、既述のチャンネル配置およびゾーン構成に併せて、無線伝送路に適用された変調方式が具体的に示されていないが、これらのチャンネル配置、ゾーン構成および変調方式は如何なるものであってもよい。

【0110】

また、上述した各実施形態では、既述の語長が単一のバイトに設定されているが、このような語長は、送信系列の生成と受信系列の復調との双方あるいは何れか一方の過程で、例えば、ブロック符号の符号化、あるいは復号化のように所定の生成多項式に基づく除算、あるいは木符号化が所望の生成多項式の次数、符号化率、拘束長に適應して行われるならば、如何なるものであってもよい。

【0 1 1 1】

【発明の効果】

上述したように請求項 1 に記載の発明では、符号化の対象となる全ての語を予め蓄積する手段が備えられることなく、これらの語が与えられるインターバルが変更されることなく、効率的に符号化が実現される。

また、請求項 2 に記載の発明では、復号化の対象となる全ての語を予め蓄積する手段が備えられることなく、これらの語が与えられるインターバルが変更されることなく、効率的に復号化が実現される。

【0 1 1 2】

さらに、請求項 3 に記載の発明では、伝送情報の符号化が語長毎に並列に行われる演算として効率的に行われる。

また、請求項 4 に記載の発明では、受信系列の復号化が語長毎に並列に行われる演算として効率的に行われる。

さらに、請求項 5 に記載の発明では、伝送情報の木符号化が語長毎に並列に行われる演算として効率的に行われる。

【0 1 1 3】

また、請求項 6 に記載の発明では、伝送情報にバックされた無効なビットの論理値の如何にかかわらず、所望の符号化が確実に行われる。

さらに、請求項 7 に記載の発明では、伝送情報として与えられ、かつ何らかの無効なビットがバックされ得る語と、その語にこの無効なビットが含まれる位置とが既知である限り、所望の符号化が確実に行われる。

【0 1 1 4】

また、請求項 8 に記載の発明では、演算手段の後段に後続演算手段が配置された場合であっても、演算対象保持手段を介してその演算手段に一定の語長の語を

順次与える手段の負荷は増加せず、かつ効率的に符号化が行われる。

【0 1 1 5】

さらに、請求項 9 に記載の発明では、演算手段の後段に後続演算手段が配置された場合であっても、演算対象保持手段を介してその演算手段に一定の語長の語を順次与える手段の負荷は増加せず、かつ効率的に復号化が行われる。

また、請求項 1 0 に記載の発明では、伝送情報の符号化に要する時間が長いことに起因するその伝送情報の送信の遅延が緩和され、かつ無線伝送路の伝送効率および利用効率が高められる。

【0 1 1 6】

さらに、請求項 1 1 に記載の発明では、伝送情報の復号化に要する時間が長いことに起因する伝送遅延が緩和され、かつ無線伝送路の伝送効率および利用効率が高められる。

したがって、これらの発明が適用された伝送系では、大幅なコストの増加および信頼性の低下が生じることなく、サービス品質および伝送効率が高められ、かつ伝送路（その伝送路が無線伝送路である場合には無線周波数を含む。）だけではなく、通信サービスの提供に供される資源の有効な利用がはかられると共に、多様な多元接続方式、チャネル配置、ゾーン構成、変調方式、チャネル制御の方式および呼設定の手順に対する柔軟な適応が可能となる。

【図面の簡単な説明】

【図 1】

請求項 1 ～ 9 に記載の発明の原理ブロック図である。

【図 2】

請求項 1 0 に記載の発明の原理ブロック図である。

【図 3】

請求項 1 1 に記載の発明の原理ブロック図である。

【図 4】

請求項 1 ～ 9 に記載の発明に対応した実施形態を示す図である。

【図 5】

CRC 演算支援部に備えられた組み合わせ回路の原理を示す図である。

【図 6】

符号化支援部に備えられた組み合わせ回路の原理を示す図である。

【図 7】

CRC 演算支援部の他の構成を示す図である。

【図 8】

CRC 演算支援部に与えられる部分伝送情報の形式を示す図である。

【図 9】

請求項 1 0、1 1 に記載の発明に対応した実施形態を示す図である。

【図 1 0】

移動局装置に搭載された符号化部の構成例を示す図である。

【図 1 1】

従来例の課題を説明する図である。

【符号の説明】

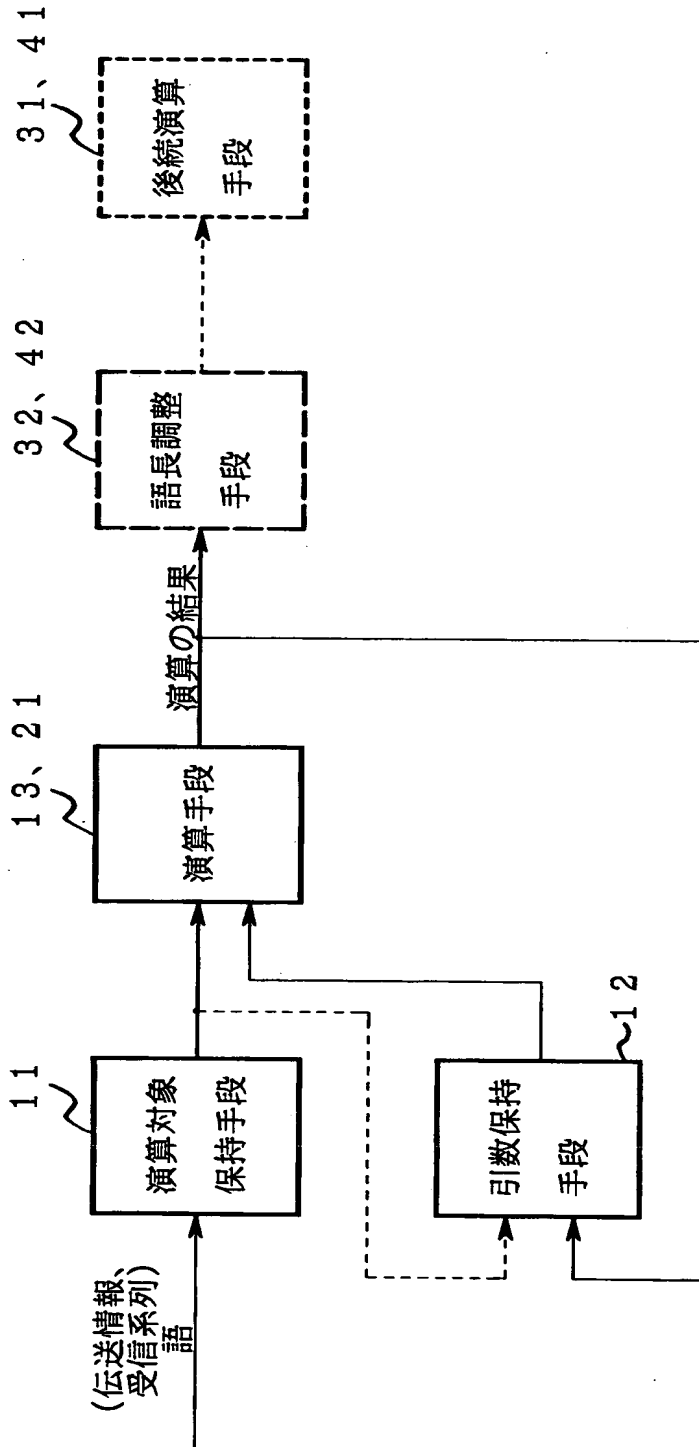
- 1 1, 6 2 演算対象保持手段
- 1 2, 6 3 引数保持手段
- 1 3, 2 1, 6 4 演算手段
- 3 1, 4 1 後続演算手段
- 3 2, 4 2 語長調整手段
- 5 1, 6 1 無線インタフェース手段
- 7 0 CRC 演算支援部
- 7 1 符号化支援部
- 7 2 インタリーバ
- 7 3 語長調整部
- 7 4, 8 0 バッファ
- 7 5, 7 5 A 読み出しクロック生成部
- 7 6, 7 8, 8 2, 8 4, 8 6, 1 3 0, 1 3 1 フリップフロップ (FF)
- 7 7 インバータ
- 7 9, 8 5, 9 2, 1 2 9, 1 3 1, 1 3 2 排他的論理和ゲート
- 8 1 クロック生成部

- 83 遅延回路 (D)
- 91 例外演算部
- 101 アンテナ
- 102 受信部
- 103 変復調部
- 104 分離・合成部
- 105 送信部
- 106 シンセサイザ部
- 107 プロセッサ (CPU)
- 108 スピーカ
- 109 ファクシミリ端末
- 110 パーソナルコンピュータ
- 111 スロット合成部
- 112 デインタリーバ
- 113 ビタビ復号器
- 114 CRC検定部
- 115 FCS付加部
- 116, 126 畳み込み符号化部
- 117, 127 インタリーバ
- 118 スロット分解部
- 121 送信バッファ
- 122 シフトレジスタ
- 123 カウンタ
- 124 制御部
- 125 CRC演算部
- 128, 133 セレクタ

【書類名】 図面

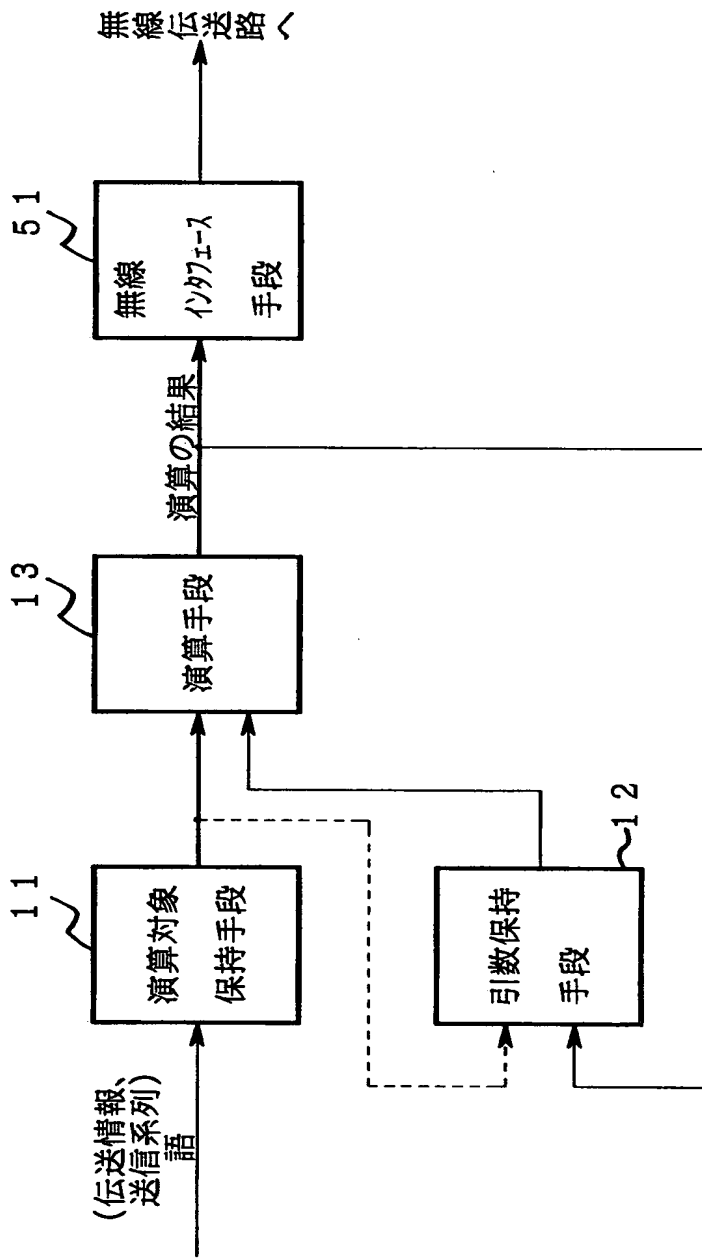
【図 1】

請求項 1 ～ 9 に記載の発明の原理ブロック図



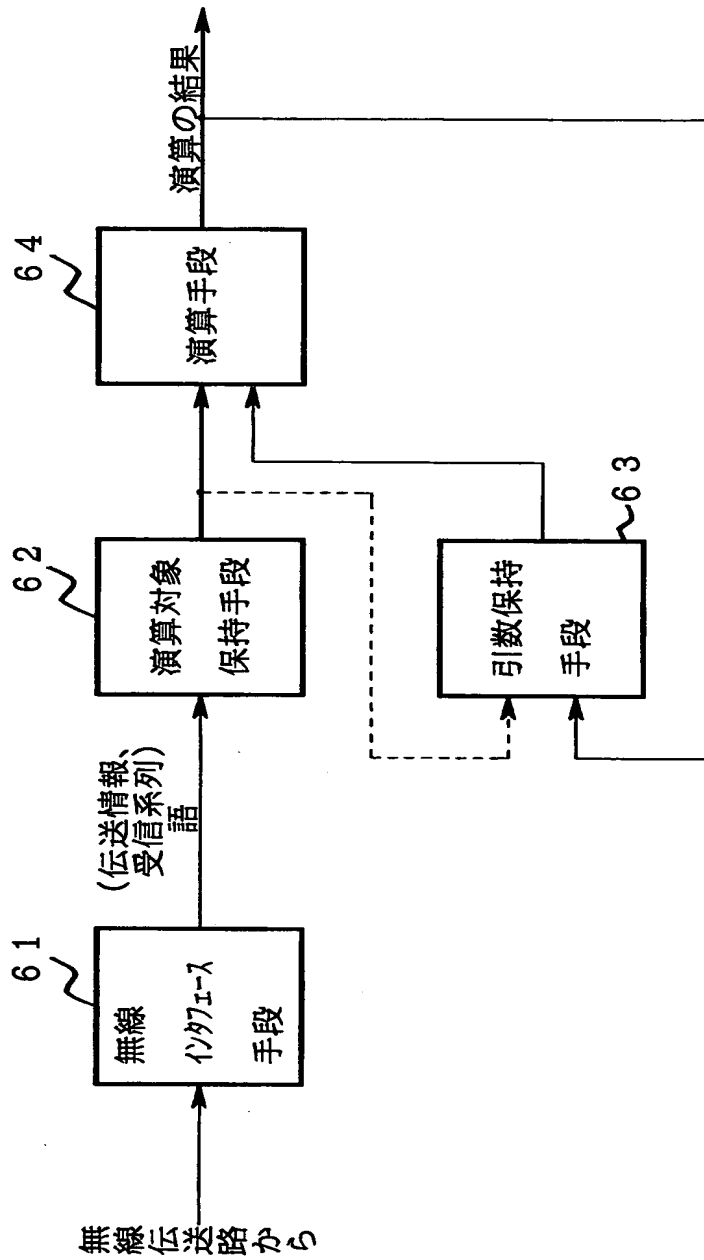
【図 2】

請求項 1 0 に記載の発明の原理ブロック図



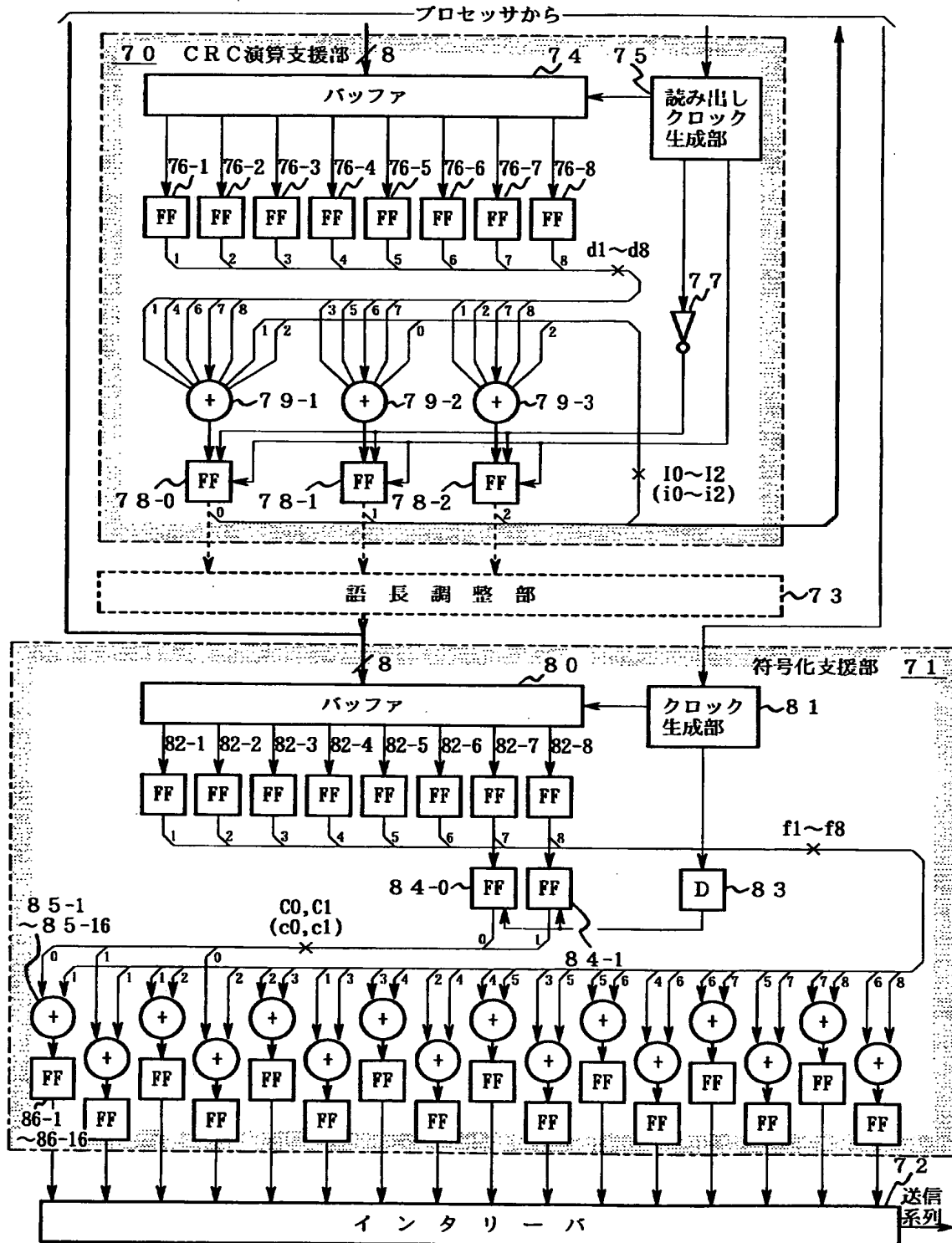
【図 3】

請求項 11 に記載の発明の原理ブロック図



【図 4】

請求項 1 ～ 9 に記載の発明に対応した実施形態を示す図



【図 5】

CRC演算支援部に備えられた組み合わせ回路の原理を示す図

	排他的論理和ゲート129 の出力に得られる値	719°719°130-1 に保持される値	719°719°130-2 に保持される値	排他的論理和ゲート131 の出力に得られる値	719°719°130-3 に保持される値
--	--	i0	i1	--	i2
d1	i2⊕d1	i2⊕d1	i0	i2⊕d1⊕i1	i1⊕i2⊕d1
d2	i1⊕i2⊕d1⊕d2	i1⊕i2⊕d1⊕d2	i2⊕d1	i1⊕i2⊕d1⊕d2⊕i0	i0⊕i1⊕i2⊕d1⊕d2
d3	i0⊕i1⊕i2⊕d1⊕d2⊕d3	i0⊕i1⊕i2⊕d1⊕d2⊕d3	i1⊕i2⊕d1⊕d2	i0⊕i1⊕i2⊕d1⊕d2⊕d3⊕i0	i0⊕i1⊕i2⊕d1⊕d2⊕d3
d4	i0⊕i1⊕d2⊕d3⊕d4	i0⊕i1⊕d2⊕d3⊕d4	i0⊕i1⊕i2⊕d1⊕d2⊕d3	i0⊕i1⊕d2⊕d3⊕d4⊕i1⊕i2⊕d1⊕d2	i0⊕i2⊕d1⊕d3⊕d4
d5	i0⊕i2⊕d1⊕d3⊕d4⊕d5	i0⊕i2⊕d1⊕d3⊕d4⊕d5	i0⊕i1⊕d2⊕d3⊕d4	i0⊕i2⊕d1⊕d3⊕d4⊕d5⊕i0⊕i1⊕d2	i1⊕d2⊕d4⊕d5
d6	i1⊕i2⊕d4⊕d5⊕d6	i1⊕d2⊕d4⊕d5⊕d6	i0⊕i2⊕d1⊕d3⊕d4⊕d5	i1⊕d2⊕d4⊕d5⊕d6⊕i0⊕i1⊕d2⊕d3⊕d4	i0⊕d3⊕d5⊕d6
d7	i0⊕d3⊕d5⊕d6⊕d7	i0⊕d3⊕d5⊕d6⊕d7	i1⊕d2⊕d4⊕d5⊕d6	i0⊕d3⊕d5⊕d6⊕d7⊕i0⊕i2⊕d1⊕d3⊕d4	i2⊕d1⊕d4⊕d6⊕d7
d8	i2⊕d1⊕d4⊕d6⊕d7⊕d8	i0= i2⊕d1⊕d4⊕d6⊕d7⊕d8 i1= i0⊕d1⊕d3⊕d5⊕d6⊕d7	i1= i0⊕d3⊕d5⊕d6⊕d7	i2⊕d1⊕d4⊕d6⊕d7⊕d8 ⊕ i1⊕d2⊕d4⊕d5⊕d6	i2= i1⊕i2⊕d1⊕d2⊕d5⊕d7⊕d8

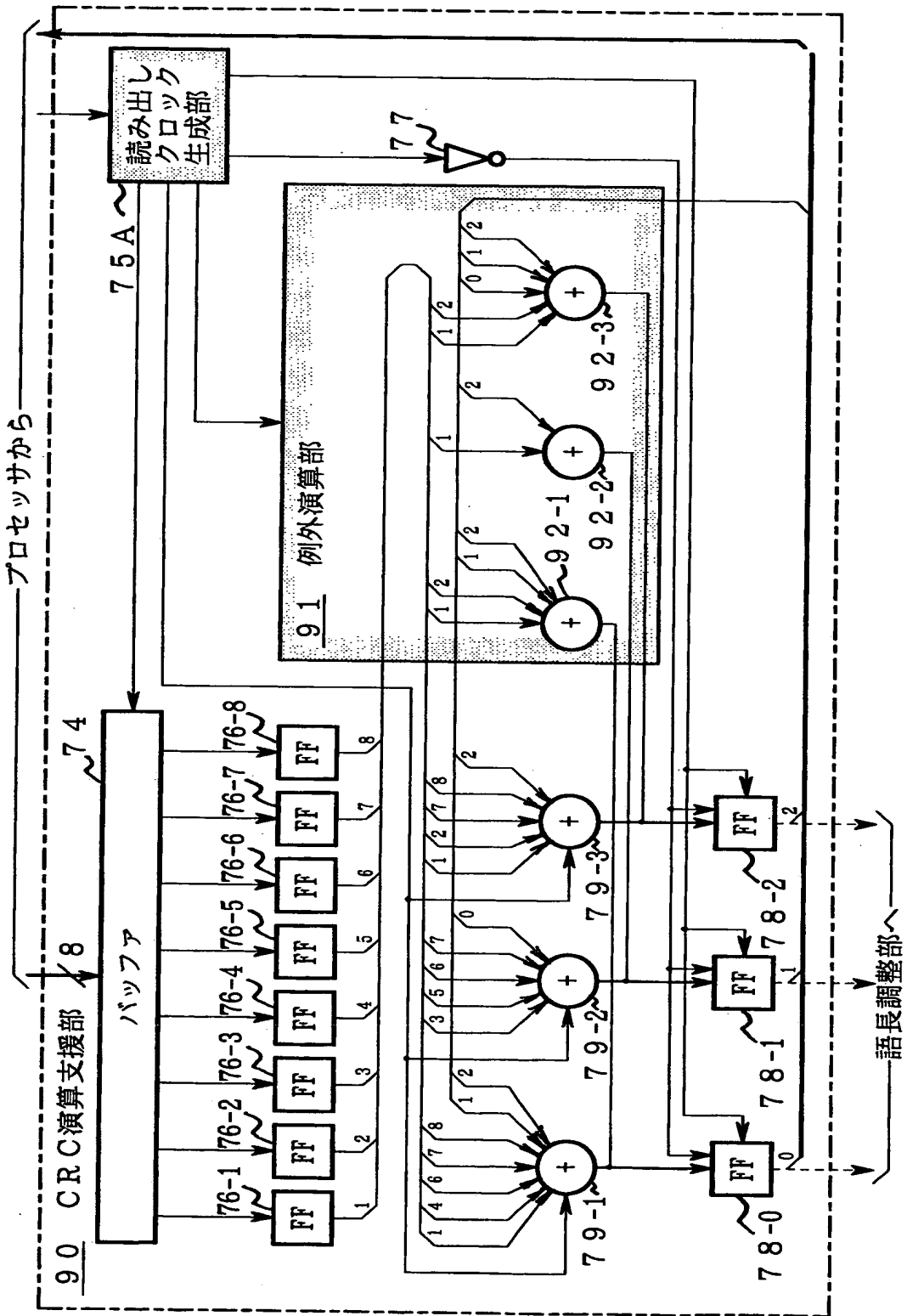
【図 6】

符号化支援部に備えられた組み合わせ回路の原理を示す図

	7リツ7°7リツ7° 1 3 1-1 に保持される値	7リツ7°7リツ7° 1 3 1-2 に保持される値	7リツ7°7リツ7° 1 3 1-3 に保持される値	排他的論理和が-132-1 の出力に得られる値	排他的論理和が-132-2 の出力に得られる値
--	c0	c1	c2	--	--
f1	f1	c0	c1	$g1 = c0 \oplus f1$	$g2 = c1 \oplus f1$
f2	f2	f1	c0	$g3 = f1 \oplus f2$	$g4 = c0 \oplus f2$
f3	f3	f2	f1	$g5 = f2 \oplus f3$	$g6 = f1 \oplus f3$
f4	f4	f3	f2	$g7 = f3 \oplus f4$	$g8 = f2 \oplus f4$
f5	f5	f4	f3	$g9 = f4 \oplus f5$	$g10 = f3 \oplus f5$
f6	f6	f5	f4	$g11 = f5 \oplus f6$	$g12 = f4 \oplus f6$
f7	f7	f6	f5	$g13 = f6 \oplus f7$	$g14 = f5 \oplus f7$
f8	f8	f7	f6	$g15 = f7 \oplus f8$	$g16 = f6 \oplus f8$

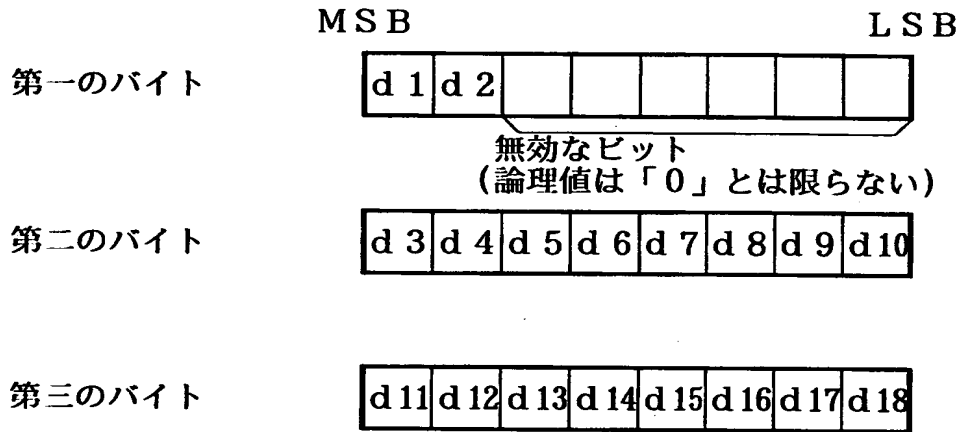
【図 7】

CRC 演算支援部の他の構成を示す図



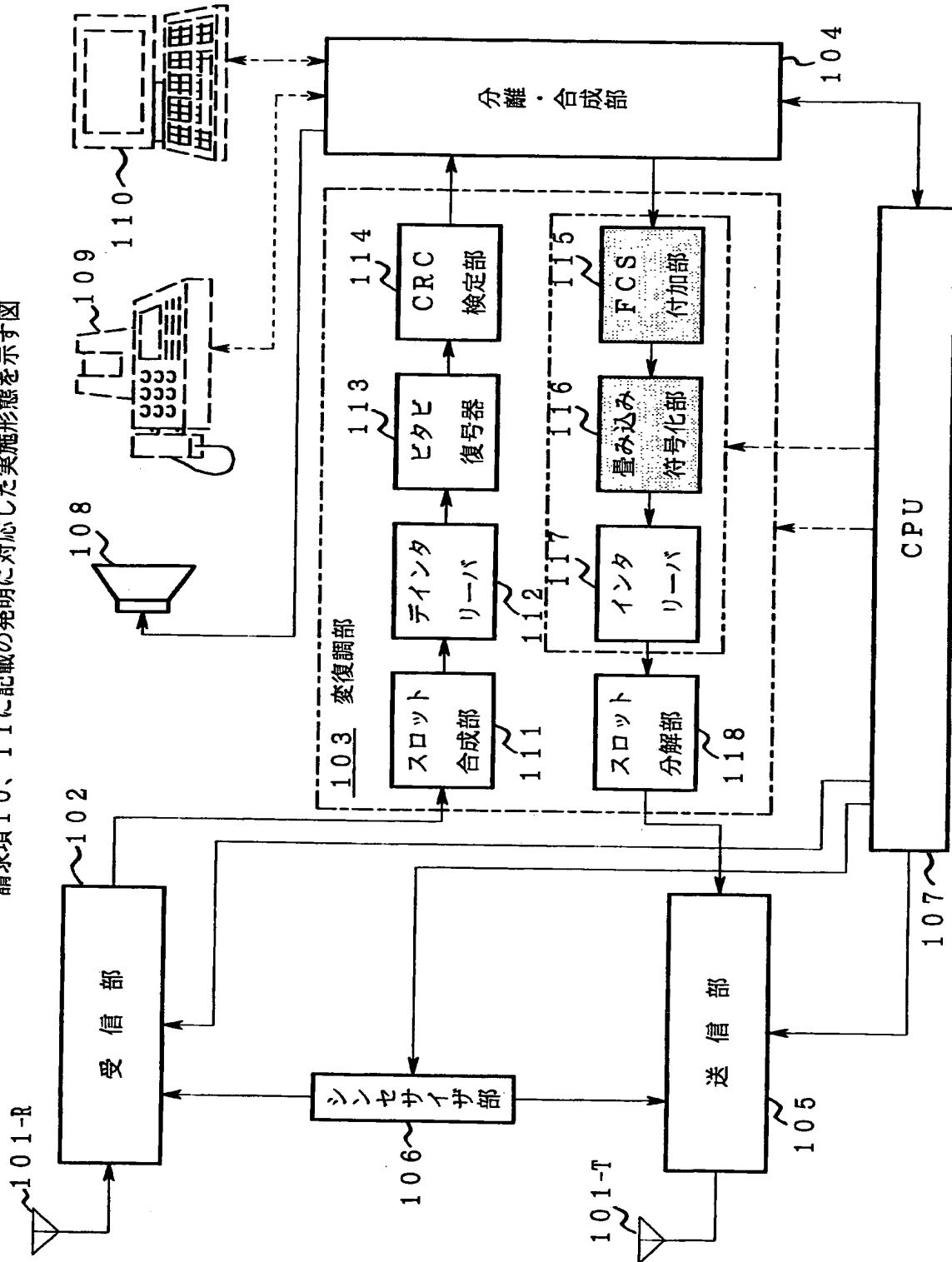
【図 8】

CRC演算支援部に与えられる部分伝送情報の形式を示す図

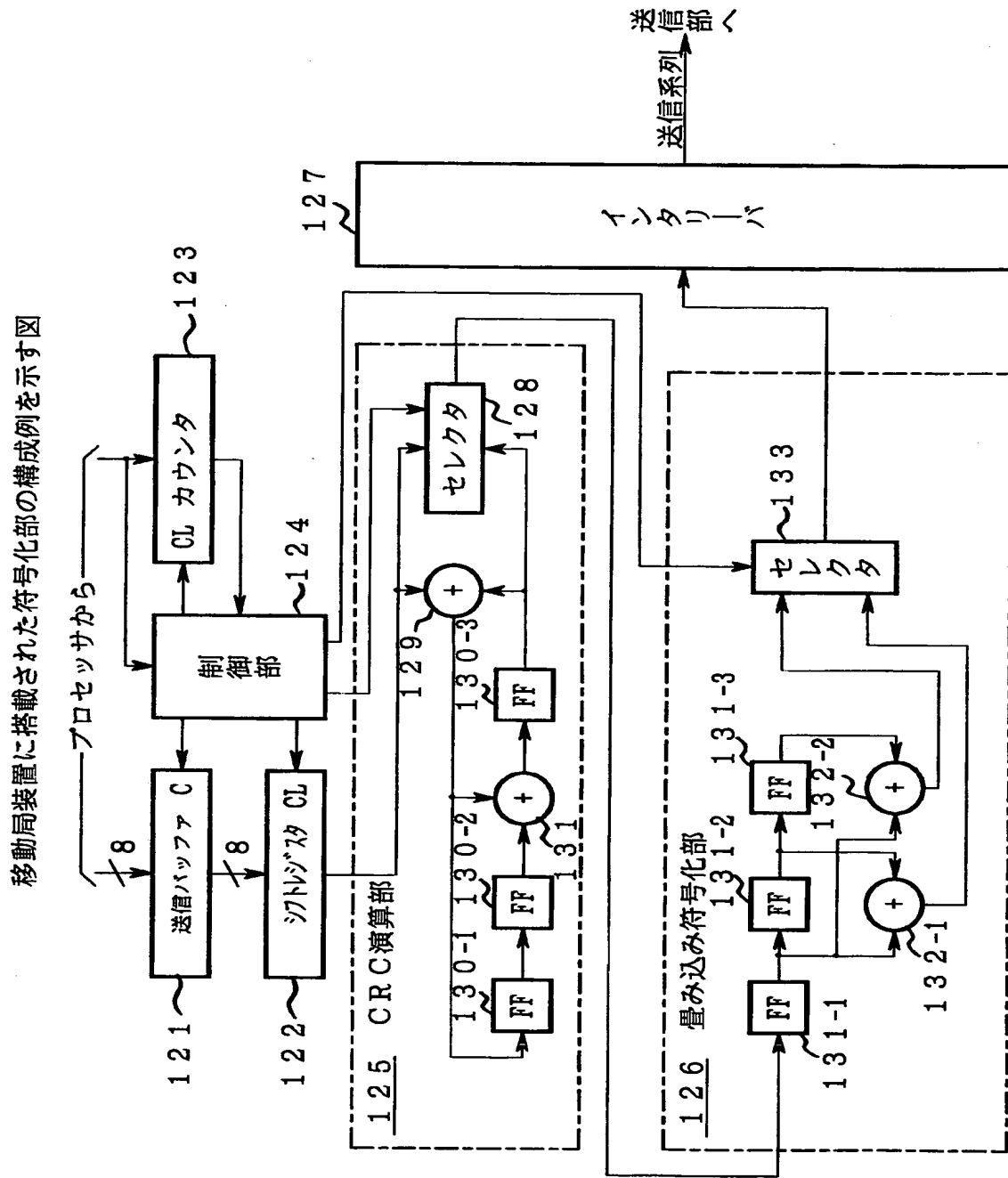


【図9】

請求項 10、11 に記載の発明に対応した実施形態を示す図

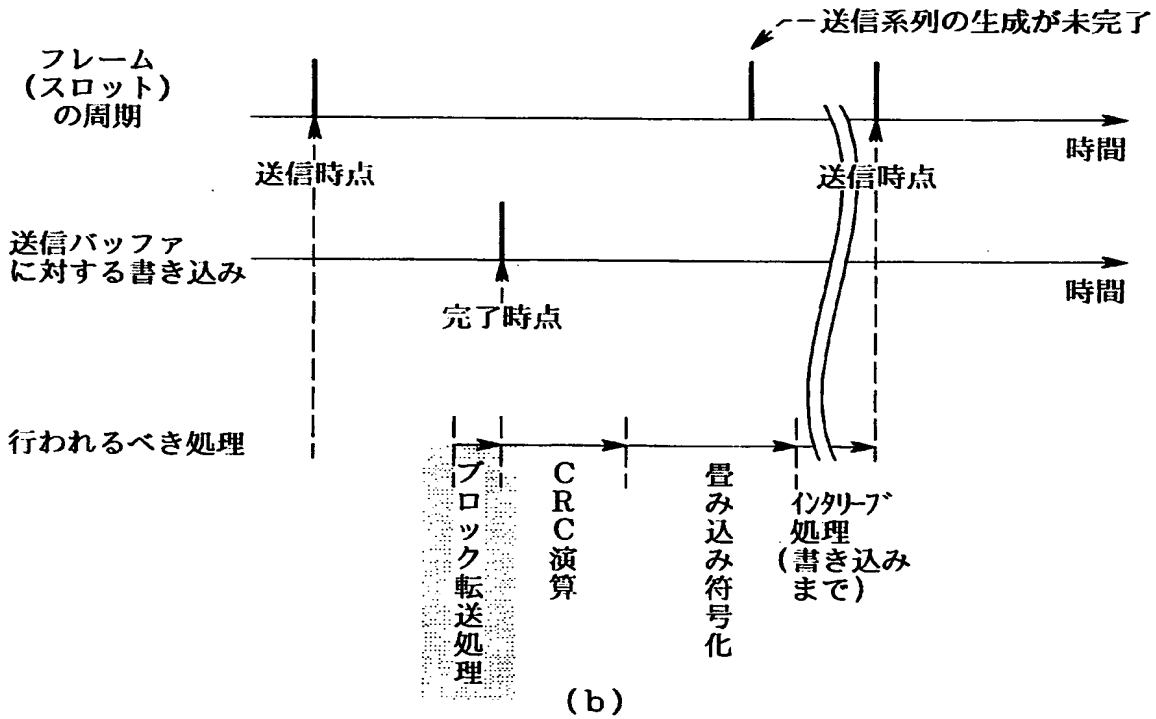
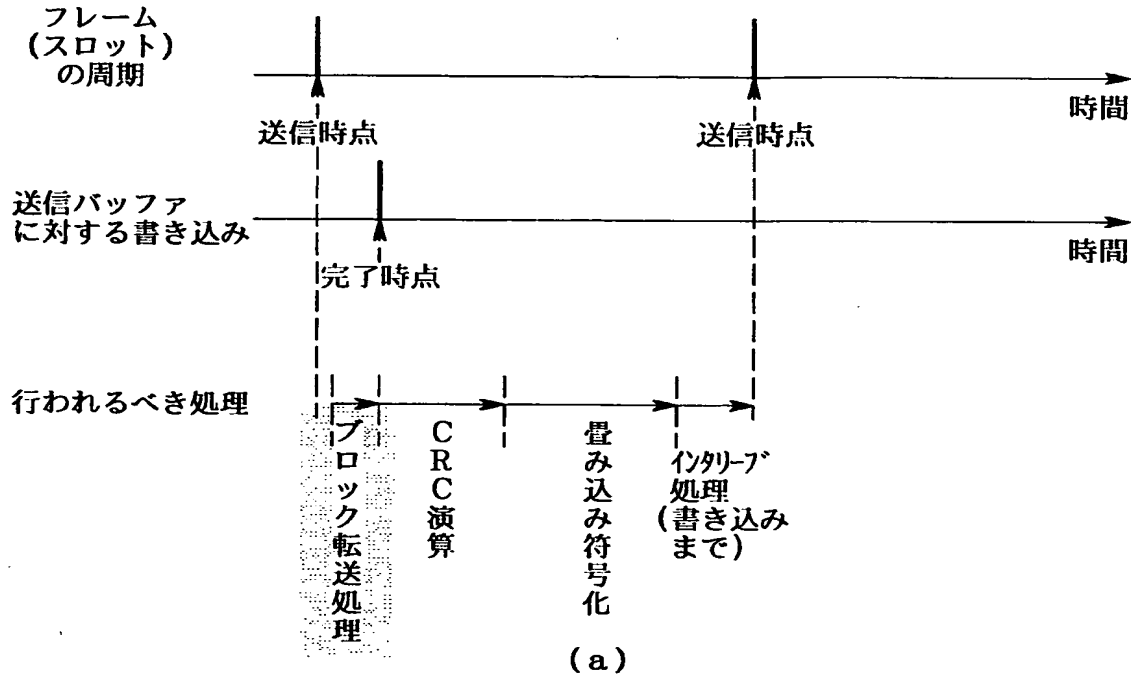


【図 10】



【図 1 1】

従来例の課題を説明する図



【書類名】 要約書

【要約】

【課題】 本発明は、符号化支援装置、復号化支援装置、無線送信機および無線受信機に関し、構成が大幅に変更されることなく、高速に、かつ確度高く符号化や復号化が実現されることを目的とする。

【解決手段】 複数ビットからなる一定の語長に分割されて与えられる語を順次保持する演算対象保持手段 1 1 と、演算対象保持手段 1 1 に保持された語と、その語に対して先行して施された演算の結果との内、後続してこの演算対象保持手段 1 1 に保持された語に対するこの演算に適用されるべき引数を保持する引数保持手段 1 2 と、演算対象保持手段 1 1 によって保持された語と引数保持手段 1 2 によって保持された引数とに含まれる個々のビットの論理値に応じて、これらの論理値の組み合わせに対する演算として定義された符号化を演算として行う演算手段 1 3 とを備えて構成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社